

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-167531

(43)Date of publication of application : 15.06.1992

(51)Int.Cl. H01L 21/338

H01L 29/784

H01L 29/812

(21)Application number : 02-296023

(71)Applicant : NEC CORP

(22)Date of filing : 31.10.1990

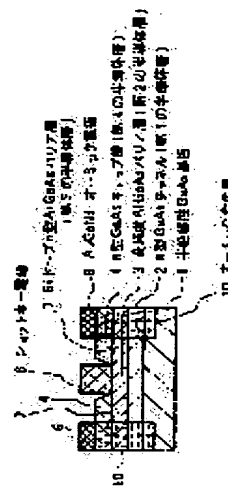
(72)Inventor : TOKUSHIMA MASATOSHI

(54) III-V COMPOUND SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To lower the source-drain resistance by a method wherein the first n-type semiconductor layer, the second high purity semiconductor layer in the less electron affinity than that of the former layer are formed and then the fourth n-type semiconductor layer is formed on the third n-type semiconductor layer between a Schottky electrode and an ohmic electrode.

CONSTITUTION: An n-type GaAs channel 2, a high purity AlGaAs barrier layer 3, an n-type GaAs cap layer 4 are successively grown on a semiinsulating GaAs substrate 1. Next, the cap layer 4 in the Schottky electrode formation part for a gate is removed to form a gate recess wherein a Schottky electrode 6 to be the gate is formed. Next, after the formation and heat treatment of an Si₃N₄ protective film, Si atoms are diffused in the barrier layer 3 beneath the cap layer 4 so as to form an Si doped AlGaAsn type barrier layer 7 having n-type conductivity. Finally, barrier layer 9 are formed on both sides of the gate 6. Through these procedures, the source-drain resistance can be lowered effectively without producing the short channel effect.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑬ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-167531

⑥ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)6月15日

H 01 L 21/338
29/784
29/812

7735-4M H 01 L 29/80 B
8422-4M 29/78 3 0 1 B

審査請求 未請求 請求項の数 4 (全7頁)

⑭ 発明の名称 III-V族化合物半導体装置とその製造方法

⑮ 特 願 平2-296023

⑯ 出 願 平2(1990)10月31日

⑰ 発 明 者 徳 島 正 敏 東京都港区芝5丁目7番1号 日本電気株式会社内
⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号
⑲ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称 III-V族化合物半導体装置と
その製造方法

特許請求の範囲

(1)n型の導電性を有する第1の半導体層、電子親和力が前記第1の半導体層より小さい高純度の第2の半導体層が積層され、前記第2の半導体層上にショットキー電極を有し、該ショットキー電極の両側にオーミック電極を有し、前記ショットキー電極とオーミック電極との間に於て、前記第2の半導体の部位に前記第2の半導体と同等もしくはより大きい電子親和力を持ち、かつn型の導電性を有する第3の半導体層が存在し、前記第3の半導体層の上にn型の導電性を有する第4の半導体層が積層されていることを特徴とするIII-V族化合物半導体装置。

(2)n型の不純物原子の導入された第1の半導体層、電子親和力が前記第1の半導体層より小さい高純度の第2の半導体層、電子親和力が前記第2の半

導体層より大きくn型不純物原子の導入された第4の半導体層を積層する工程と、前記第4の半導体層をゲート電極の形状にエッチングして第2の半導体層表面を露呈させる工程と、前記第2の半導体層表面にショットキー電極を形成する工程と、熱処理をして前記第2の半導体層を導電型の第3の半導体層に変化させる工程と、上記ショットキー電極の両側にオーミック電極を形成する工程とを含むことを特徴とするIII-V族化合物半導体装置の製造方法。

(3)第4の半導体層に導入された不純物原子の濃度は第1の半導体層に導入された不純物原子の濃度よりも大きいとする請求項(2)記載のIII-V族化合物半導体層の製造方法。

(4)第4の半導体層に導入された不純物原子の拡散係数は第1の半導体層に導入された不純物原子の拡散係数よりも大きいとする請求項(2)記載のIII-V族化合物半導体装置の製造方法。

発明の詳細な説明

(産業上の利用分野)

本発明は、ヘテロMIS構造のIII-V族化合物半導体装置の構造及び製造方法に関する。

(従来の技術)

III-V族化合物半導体はシリコンより移動度が高く、半絶縁性基板が容易に得られることから集積化を行った際に寄生容量を低減でき、Siでは実現不可能な高速論理動作が期待され、各所で精力的なLSI研究開発が進められている。しかしながら、LSIの基本素子としてのGaAsMESFETは、ショットキー障壁の高さが約0.75eVであるために、低消費電力が実現し易いDCFL(Direct-Coupled-FET Logic)回路を構成した際に論理回路のハイレベルがクランプされるため、雑音余裕度が大きくとれない欠点を有している。一方、高抵抗AlGaAsを有効的な絶縁層として用いるヘテロMIS構造はMESFETに比べ、有効的ショットキー障壁を約50%高くでき、LSI用素子として有望である。このような高抵抗AlGaAs層を含むヘテロMIS構造の素子に於ては低抵抗化ソース、ドレイン抵抗の低減のために以下示す従来技術が用いられてきた。

692 頁 (1988) (S. Takatani et al, IEDM'88, Tech. Digest)に記載されている。

(発明が解決しようとする課題)

第6図のイオン注入による方法は、短ゲート化した場合、ゲート直下の能動層の下に回り込む不純物のために短チャネル効果が顕在化しやすいという問題がある。即ち、Siイオン注入領域11の低抵抗を保ったままこの領域11を薄膜化することは困難であった。第7図の低抵抗の n^+ 型GaAsキャップ層12を積層した構造に於てはイオン注入法と異なり、短ゲート化した際にも短チャネル効果が現れにくい。が、 n^+ 型GaAsキャップ層12を通るキャリアはチャネル2に達するまでに高抵抗の高純度AlGaAsバリア層3を通らねばならず、十分な低抵抗化を期待できない。

第8図の低抵抗GaAsを再成長する方法に於ては、 n^+ 型GaAs13の再成長界面に生じる界面準位の制御が難しいため再成長界面近傍が空乏化し易く、高抵抗部分を形成する。従って、GaAsの再成長に伴って製造工程がかなり複雑になる割には

第6図はイオン注入と熱処理により導電層11を形成した場合の素子断面図である。アイイーディーエム・テクニカルダイジェスト(H. Hida et al, IEDM'88, Tech. Digest)688頁(1988年)に記載されている。即ちゲート金属をマスクにして自己整合的に n 型不純物をイオン注入し、ソースとチャネル及びドレインとチャネルの間の低抵抗を実現している。

第7図は高純度AlGaAsバリア層3のうえに高濃度に不純物(Si)ドーブ($3 \times 10^{18} \text{cm}^{-3}$)された n^+ 型GaAsキャップ層12を積層した構造の断面図である。電子情報通信学会春季全国大会講演予稿集 SC-4-5, 5-365に記載されている。これはゲート近傍まで低抵抗を実現しようとしたもので、熱処理工程は含んでいない。

第8図は、ソース、ドレイン電極からチャネル端に至る部分をエッチングし、その部分に低抵抗の高濃度に不純物(Si)ドーブ($3 \times 10^{18} \text{cm}^{-3}$)された n^+ 型GaAs13を改めて再成長する構造の断面図である。アイイーディーエム・テクニカルダイジェスト

ソース、ドレイン抵抗の大きな低抵抗化は望めないという問題点を有する。

このようにヘテロMIS構造の素子に従来技術を用いてソース、ドレインを形成しようとすると、短ゲート化した際にも短チャネル効果が現れず、かつ低抵抗で工程もさほど複雑にならないという三つの条件を同時に満足することは困難である。本発明は、従来技術のこのような問題点を解決し、比較的簡単な工程でソース、ドレインの低抵抗化を実現し、かつ短ゲート化した際にも短チャネル効果の現れない半導体装置の構造と製造方法を提供することを目的とする。

(課題を解決するための手段)

n 型の導電性を有する第1の半導体層、電子親和力が前記第1の半導体層より小さい高純度の第2の半導体層が積層され、前記第2の半導体層上にショットキー電極を有し、該ショットキー電極の両側にオーミック電極を有し、前記ショットキー電極とオーミック電極との間に於て、前記第2の半導体の部位に前記第2の半導体と同等もしくはより

大きい電子親和力を持ち、かつn型の導電性を有する第3の半導体層が存在し、前記第3の半導体層の上にn型の導電性を有する第4の半導体層が積層されていることを特徴とするIII-V族化合物半導体装置によってソース、ドレイン抵抗が低く短チャネル効果の無いIII-V族化合物半導体装置が実現される。

また、上記の半導体装置の製造方法は、n型の不純物原子の導入された第1の半導体層、電子親和力が前記第1の半導体層より小さい高純度の第2の半導体層、電子親和力が前記第2の半導体層より大きくn型不純物原子の導入された第4の半導体層を積層する工程と、前記第4の半導体層をゲート電極の形状にエッチングして第2の半導体層表面を露呈させる工程と、前記第2の半導体層表面にショットキー電極を形成する工程と、熱処理をして前記第2の半導体層を第3の半導体層に変化させる工程と、上記ショットキー電極の両側にオーミック電極を形成する工程を含むことを特徴とする。

不純物濃度を約 $1 \times 10^{20} \text{cm}^{-3}$ くらいにすることによって不純物のバリア層への拡散に対するAlGaAsバリア層のAlの逆方向拡散が無視できなくなる場合には、第4図に示すようにバリア層とキャップ層の伝導帯のバンド不連続幅は減少し、バリア層の抵抗は更に小さくなる。バリア層の低抵抗化によって、ソースまたはドレイン電極から低抵抗キャップ層を通り、チャネルに至る低抵抗の電流路が形成され、ソース抵抗及びドレイン抵抗は小さくなる。キャップ層中の不純物の熱処理による拡散は適当な条件によりバリア層内のみに制御することが可能で、キャップ層中の不純物がゲート直下のチャネルの下へ回り込むことはなく、またチャネルの不純物のプロファイルはほとんど崩れないので短チャネル効果が起こり易くなることはない。また、従来技術に比べても特に複雑な工程を要しない。

ところで、チャネル(能動層)の不純物プロファイルを損なわずにキャップ層の不純物のみを効率よ

く第1の半導体層はチャネル(能動層)であり、この能動層の不純物プロファイルを保ちながら第4の半導体層のn型キャップ層中の不純物原子を第2の半導体層中に拡散させるために、第4の半導体層に導入された不純物原子の濃度を第1の半導体層に導入された不純物原子の濃度よりも大きくするか、または第4の半導体層に導入された不純物原子として第1の半導体層に導入された不純物原子の拡散係数よりも大きい拡散係数をもつ不純物原子を用いることを特徴とする。

(作用)

本発明の作用を第3図、第4図を用いて説明する。第3図と第4図は本発明の半導体装置の伝導帯のバンド図である。

本発明の製造方法を用いることによって低抵抗キャップ層の下にあるバリア層には不純物が導入され、n型となり、バリア層の伝導帯は第3図のように曲がる。その結果バリア層の実効的な幅は狭くなり、トンネル電流の増加によってバリア層の抵抗は下がることになる。低抵抗キャップ層中の

く拡散させるために、不純物の拡散に於ける性質を利用しているので以下それについて述べる。

第5図はGaAs中のSiの拡散係数のSi濃度依存性(計算値)を示したグラフである。Siの濃度が約 $1 \times 10^{18} \text{cm}^{-3}$ 以上になるとSiのペア拡散機構により、拡散係数が急激に大きくなる。従って、チャネル(能動層)の不純物濃度を約 $1 \times 10^{18} \text{cm}^{-3}$ 以下にし、キャップ層の不純物濃度を約 $1 \times 10^{19} \text{cm}^{-3}$ 以上にする事によって、能動層の不純物プロファイルを保ったままキャップ層中の不純物を拡散させることが可能となる。

また、濃度による拡散係数の違いを利用しなくても、拡散係数の異なる不純物を用いることによって可能である。例えば、能動層の不純物にSiを用い、キャップ層の不純物に 10^{18}cm^{-3} 台でSiより拡散係数の大きいSeを用いるなどの例が挙げられる。勿論、上述した二つの手法を併用してもよい。

(実施例)

第1図は本発明を適用したAlGaAs系ヘテロMIS構造FETの素子構造の断面図であり、第2図(a)から(d)はその構造を実現するための製造工程図である。

まず第2図(a)のように半絶縁性GaAs基板1上にMBE法(あるいはMOVPE、MOMBEでもよい)で、不純物原子濃度 $2 \times 10^{18} \text{cm}^{-3}$ のSiドープ、厚さ 120\AA のn型GaAsチャネル(能動層、第1の半導体層)2、厚さ 150\AA の高純度AlGaAsバリア層3(第2の半導体層)、不純物原子濃度 $5 \times 10^{19} \text{cm}^{-3}$ のSiドープのn型GaAsキャップ層(第4の半導体層)を順に成長する。次に第2図(b)に示すようにゲート用のショットキー電極形成部のキャップ層4をフォトリソグラフィ工程とエッチング工程により除去し、ゲートリセス5を形成する。エッチャントには H_2SO_4 、 H_2O 、 HeO_2 を4:90:1の割合で混合し、 7°C に保ったものを用いる。第2図(c)のようにゲートリセス部にショットキー電極6を形成し、ここがゲートとなる。 Si_3N_4 の保護膜を形成した後、 900°C 、5秒で熱処理することによって第2図(d)に示すよう

層7を通してチャネル(能動層)2に流れ込むこと、またはその逆の順で電流が流れることが可能となる。このとき、ショットキー電極6即ちゲートの下のバリア層3は高純度のままであるからショットキー電極(ゲート)6とチャネル2が短絡することはない。従って本実施例の半導体装置では短チャネル効果が現れず、かつ低抵抗で、工程が容易になるという優れた効果がある。

本実施例ではキャップ層とチャネル層を同じ不純物原子を用い濃度を変えて製作したが、能動層の不純物をSiとし、キャップ層の不純物として 10^{18}cm^{-3} 台でSiよりも拡散係数の大きいSeを用いるといった拡散係数の異なるものを用いる方法でも本発明の目的を達成できる。あるいは請求項3と4の方法を併用するとより効果がある。

(発明の効果)

以上説明した通り、本発明によれば、ヘテロMIS構造の半導体装置のソース、ドレイン抵抗を短チャネル効果を生じることなく効果的に低減することが出来る。また、その製造方法は従来技術に

に、キャップ層4の下のバリア層3中にSi原子8が拡散され、n型の導電性を持つ第三の半導体(ここではSiドープAlGaAs n型バリア層)が形成される。第2図(d)に於ける層4からAlGaAs7中へのSiの拡散は作用の項で説明したように熱処理温度と時間を適切に選ぶことによって拡散距離を短くすることが出来る。(前述の条件に限らない。)従ってSi原子の拡散がチャネル2の下にまで及ばないようにすることが可能である。第1図に図示するように、ゲート6の両側のn型GaAsキャップ層4の一部にAuGeNiのオーミック電極を蒸着により形成し、更に 420°C のアロイ工程によりオーミック合金層10を形成する。このときショットキー電極6とオーミック電極9の間にSiドープn型AlGaAsバリア層7とn型キャップ層4の積層構造が介在するようにして、オーミック電極9を形成した。こうして第1図に示した本発明の半導体装置が完成した。

この第1図に示す半導体装置では、低抵抗n型キャップ層4の下にあるバリア層7はn型の導電性を持ち、キャップ層4を流れてきた電流はn型バリア

比べて工程がより簡略になるので、結果として半導体装置の特性及びそれを用いたICの歩留りを著しく向上させ、低コストで高性能のICを製造できることになる。

図面の簡単な説明

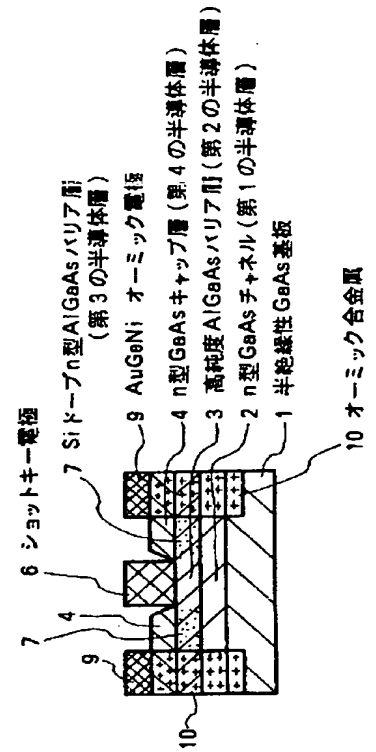
第1図は本発明による半導体装置の一例の構造断面図。第2図は本発明による半導体装置の製造工程を示す図。第3図と第4図は本発明の作用を説明するための半導体装置の伝導帯のバンド構造を示す図である。第5図はGaAs中のSiの拡散係数と濃度の関係を示す図。第6図、第7図、第8図は従来の半導体装置の構造を示す図である。

1…半絶縁性GaAs基板、2…Siドープn型GaAsチャネル(第1の半導体層)、3…高純度AlGaAsバリア層(第2の半導体層)、4…Siドープn型GaAsキャップ層(第4の半導体層)、5…ゲートリセス、6…ショットキー電極、7…Siドープn型AlGaAsバリア層(第3の半導体層)、8…Si原子、9…AuGeNiオーミック電極、10…オーミック合金層、11…Siイオン注入領域、12…Siドープn型GaAsキャップ層、

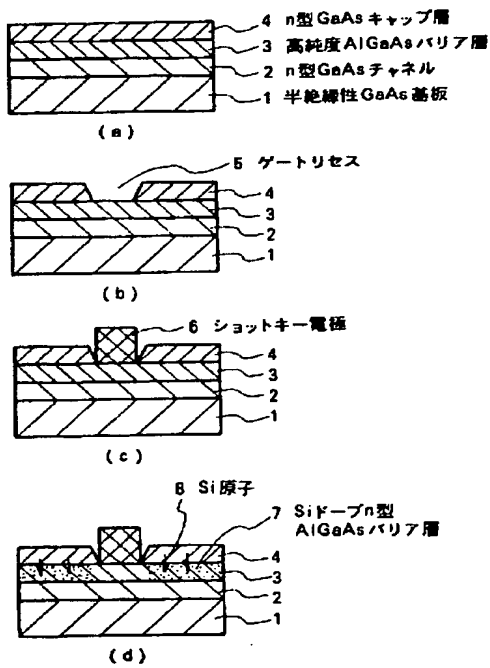
13...Siドープn型GaAs、14...伝導帯、15...フェルミレベル

代理人 弁理士 内原 晋

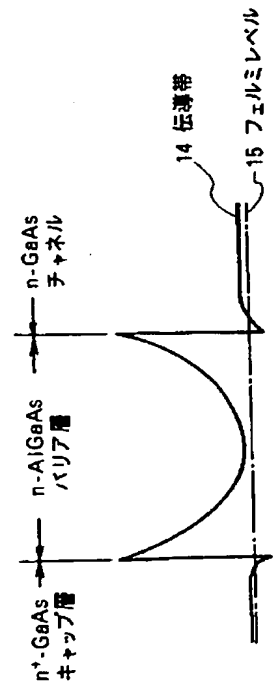
第 1 図



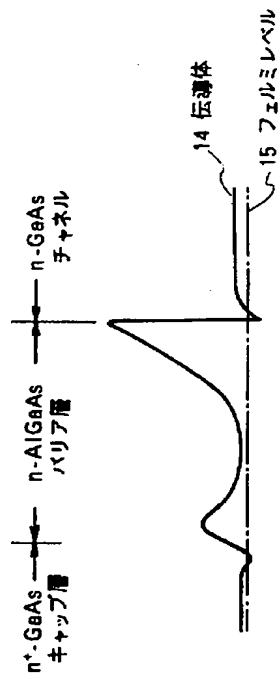
第 2 図



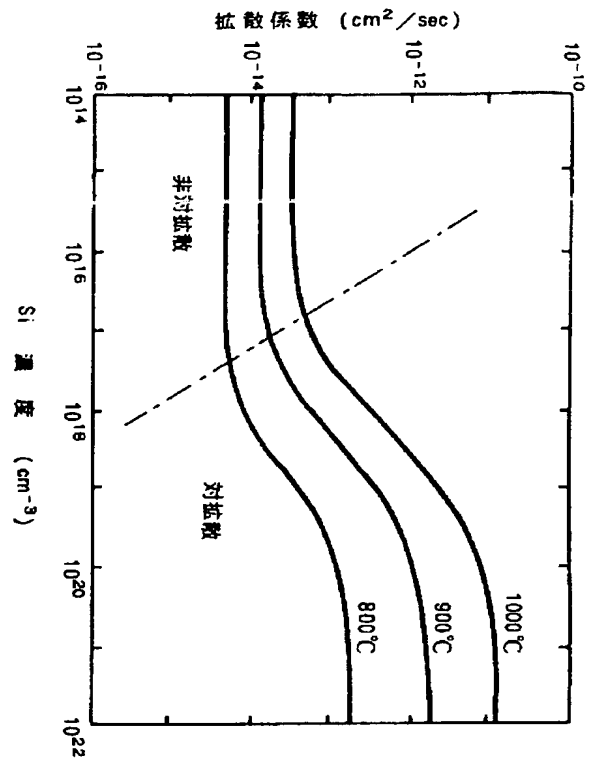
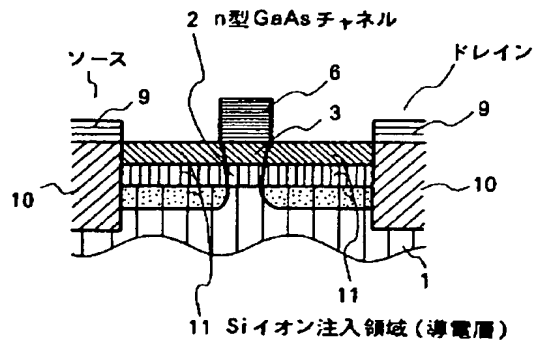
第 3 図



第 4 図

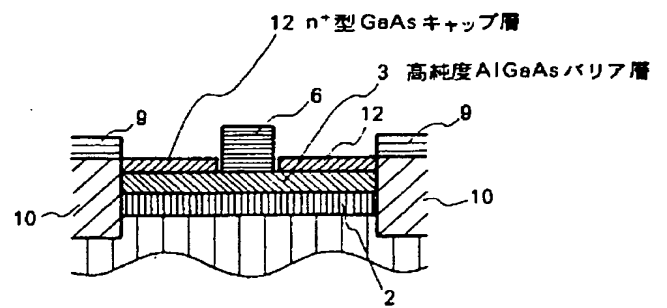


第 6 図



第 5 図

第 7 図



第 8 図

